

SMD-Bestücken zwischen Preis und Präzision

Mit der Miniaturisierung wächst das Fehlerrisiko beim SMD-Bestücken. Wer hier mithalten will, braucht gute Nerven und technisches Know-How, wie der Bestückungsprozess lückenlos stabil und sicher bleibt.

RAINER SCHOPPE *

Die bebro electronic, EMS-Dienstleister für Entwicklung und Produktion aus Frickenhausen, hat sich darauf eingestimmt, die Prozessführung vor und nach dem Bestücken gleich in mehreren Etappen mit Argusaugen unter die Lupe zu nehmen. „Der Verlust einer einzigen hochwertigen Leiterplatte kann die Marge einer Tagesproduktion zunichte machen. Wir setzen uns die Null-Fehler-Quote als Standard“, meint Peter Sommer, Leiter des technischen Vertriebs bei bebro electronic: „Erst wenn jede Schwachstelle aufgedeckt wird, lassen sich darauffolgende, nicht revidierbare Prozessschritte starten.“ Befindet sich die Leiterplatte erst im Reflow-Ofen, ist das Ergebnis „in Stein gemeißelt“. Eine Korrektur wäre nur mit erhöhtem Aufwand und Marge mindernden Mehrkosten verbunden. Das, so meinen die Frickenhäuser, rechtfertigt die Akribie.

Tausend Komponenten – Tausende kritischer Lötfallen

Schon beim Lotpastenauftrag geht bebro sensibel mit der Korngröße und seiner Beschaffenheit, mit dem Flussmittelanteil und dessen Zusammensetzung ans Werk. Da Abweichungen ihren Ursprung möglicherweise in vom Hersteller bezogenen Wareneigenschaften haben, wird auch der Lieferant notiert und ins Kalkül einbezogen. Die Paste wird im 7/24-Turnus selbst in der verarbeitungsfreien Zeit kontrolliert, kühl gelagert und von einem Datenlogger überwacht. Vor dem Einsatz auf Raumtemperatur gebracht, wird die Lotpaste ohne Luftbeimengung gerührt, um eventuelle Separierungen und Sedimentierungen zu beseitigen.

Bevor es an den Auftrag geht, betreibt bebro auch an den Schablonen gehörigen Auf-



Bild: bebro

Kein Spielraum für Fehler: Die Prozesskontrolle gleicht einem engmaschigen Netz. Präzisionsverfahren zur Lotpastenkontrolle und zur Baugruppeninspektion sind Pflicht.

wand. Elektropoliert und mit einer Nanoschicht versehen, will man vermeiden, dass selbst kleinste Mengen der Paste an der Schablone haften. Mit dieser Akribie mindert man das Risiko, dass Lotkugeln als so genannte Primärkugeln zwischen Kupfer und Stoppack hängenbleiben. Gelingt dies nicht, wäre die notwendige Reinigung der Leiterplatte um ein Vielfaches teurer als der ganze Schablonenschutzprozess.

Bei der Verarbeitung von Lotpaste auf der Leiterplatte und beim Bestücken befinden wir uns im Promille-Bereich - ein Größenvergleich wie der zwischen Fußball und Fußballstadion, mit dicht gedrängten SMD-Bauteilen. Das erlaubt gerade eine Fehlerquote, die unter dem einstelligen ppm-Zahlenbereich liegt. bebro ist in der ppb-Sphäre angelangt. Um Fehlerfallen zu vermeiden, geht es längst nicht mehr nur um abweichende Pastenflächen. Das Programm, das für höchste Präzision verantwortlich ist, misst auch die

Höhe und die Positionsgenauigkeit. Hierfür erfordert es hochpräzise Druckmaschinen, die langfristig konstante Arbeit leisten.

Am Elchtest kommt keine Leiterplatte vorbei

Auch der beste Gerätepark führt irgendwann zu Prozessschwankungen, hat mit - wenn auch vielleicht geringen - Ungenauigkeiten zu kämpfen. Auch hier streben die bebro-Experten die absolute Fehlerfreiheit an und schieben vor der eigentlichen Bestückung noch den Härtestein ein. „Eine Besonderheit des Hauses, die nicht ganz preiswert ist, sich aber hocheffizient gestaltet“, sagt Peter Sommer mit spürbarem Stolz.

Die Prozesskontrolle nach dem Pastenauftrag gleicht einer Großbrazzia mit engstem Netz, einem Check der gesamten Lötstellenfelder mit häufig weit über tausend Lötstellen. Keine davon entkommt der eingesetzten Streifenlicht-Projektion, einem System zum



* Rainer Schoppe
... ist Fachjournalist für High-Tech-, Energie- und Umweltthemen.

Abtasten der Lötunkte in dreidimensionaler Form nach Position, Flächenfüllgrad und Auftragshöhe, kurz 3D-SPI genannt. Erst wenn alle drei Prüfkriterien an jeder einzelnen Lötstelle das Grüne Licht beim Einhalten aller Grenzwerte signalisieren, ist der Weg zur Bestückung frei. Käme es nur zu einer einzigen irreparablen Lötstelle, wäre die Platine mitsamt den Bauteilen nichts weiter als Schrott. Die Materialkosten wären zudem nur das geringere Problem. Wesentlich schwerer wiegt indes der Druck, weil Liefertermine gefährdet werden.

So verwundert es nicht, dass der nahe Stuttgart beheimatete EMS-Dienstleister für diese äußerst sensiblen Produktionsprozesse nur modernste Maschinen zum Einsatz bringt. „Hier zu sparen, wäre fatal“, meint Sommer, „ein noch so guter Pastenauftrag kann keinen schlechten Bestückungsautomaten und keinen leistungsschwachen Ofen kompensieren. Das wäre so, als würde man feinste Glaswaren nur leicht verpacken und einen Springbock als Kurier bestellen“.

Das zeigt sich beispielhaft bei der Auswahl des Ofens und der Bewertung seiner Leistungsfähigkeit. Schlechte Gasführung und nichtkontrollierte Gasmischungen führen schnell zu Störungen an den Lötstellen. Sorgfältige Kontrollen der Gasmischung, die konstante Überprüfung der justierten Temperatur und regelmäßige Profil-Checks dienen dazu, den Verarbeitungsprozess abzusichern.

Betrachtet man die gesamte Prozesskette der Bestückung, ist es wie ein ständiger Tanz auf dem Vulkan: eine ständige Konfrontation mit einer Vielzahl an möglichen Fehlerfällen. Bei bebros sieht man darin die unabdingbare Notwendigkeit, analog zum Lotpasten-Check nach dem gleichen Prinzip eine dreidimensionale, automatisch-optische Inspektion (AOI) vorzunehmen. So werden Lage und Höhe der Bauteile einschließlich der Menisken sensibel überprüft. Liegt ein Bauteil auf einer Leiterplatte nicht exakt plan, mahnt die Kommandozentrale dies als Fehler an – wesentlich präziser, als dies derzeit mit reinen kamerabasierten Systemen möglich ist.

Doch bei allem Bemühen um technische Perfektion: Der Faktor Mensch darf nicht außer Acht gelassen werden: Stimmt das Leiterplattendesign nicht, kann keine noch so perfekte Fertigungslinie ein zuverlässiges, zufriedenstellendes Ergebnis liefern. Ohne regelmäßig geschultes Fachpersonal ist fachlich gesehen kein Blumentopf zu gewinnen. // FG

bebros electronic
+49 (0)7022 40030



Der FED und die Aus- und Weiterbildung von Leiterplatten- und Baugruppen-Designern bilden seit über 15 Jahren eine untrennbare Einheit. Eine Grundlage für die Design-Schulungen bildet das Normen- und Richtlinien-Werk des IPC. Aktuell liegt die Zahl der beim IPC gelisteten, weltweit ausgebildeten Certified Interconnect Designer (CID) und Advanced Certified Interconnect Designer (CID+) bei ca. 5500. Knapp 20% davon haben die Schulungen und Prüfungen beim FED durchlaufen. Die stolze Bilanz bis heute: 920 CID und 171 CID+. Zahlen, die den hohen Stellenwert, den diese Qualifikationen durch den FED im deutschsprachigen Raum einnehmen, unterstreichen.

Das neue Ausbildungsangebot des FED

Zertifizierter Elektronik Designer (ZED) Level I-IV

In vier Schritten vom Amateur zum Elektronik-Design-Profi



Bild: FED e.V.

Angesichts der aktuellen Anforderungen hat der FED sein Ausbildungsangebot im Leiterplatten- und Baugruppen-Design grundlegend überarbeitet. Das erklärte Ziel: Eine umfassende Wissensvermittlung, die den Designer verstehen lässt, wie das Design die Funktionalität, die Komplexität des Herstellungsprozesses, die finale Produktqualität und die Kosten beeinflusst. Dieses Angebot umfasst 4 Schritte.

Den ersten Schritt bilden zwei 5-tägige Grundlagenkurse. Im Rahmen der Einarbeitungsphase erlernen hier Neu- bzw. Quereinsteiger das Leiterplattendesign von der Pike auf. Dabei werden die Grundlagen eines eigenen Leiterplattendesigns inklusive der Erstellung der Fertigungsdaten und der Dokumentation zur Leiterplattenherstellung und der Baugruppenbestückung vermittelt. Nach erfolgreichem Abschluss dieses Kurses erhalten die Teilnehmer das Zertifikat **ZED Level I**.

In den darauf folgenden Kursen LBD I und LBD II werden Themen wie die Bauteilebibliothek, das High Speed-Design, EMV und Signalintegrität – um nur einige zu nennen – intensiv behandelt. Im Vordergrund stehen Anforderungen an das Design aus der Sicht der Leiterplatten- und Baugruppenfertigung. Die Kurse schließen mit den Prüfungen zum **ZED Level II** bzw. **III** und auch weiterhin den Prüfungen zum **CID** und **CID+** ab.

Aufbauend auf den vorgenannten Kursen setzt ein modulares Seminar-konzept auf, das Spezialwissen und Kompetenzen zur Qualität im Design vermittelt und mit dem Titel **ZED Level IV** abschließt. Voraussetzung zum Erwerb des Titels ist der erfolgreiche Abschluss der Kurse LBD 1 und 2 und die Teilnahme an 3 frei wählbaren Seminaren und einem Pflichtseminar zum Thema „Qualität im Design-Prozess“. Die erfolgreiche Teilnahme an den insgesamt 4 Einzelseminaren wird durch schriftliche Prüfungen nachgewiesen.



FED Büro Berlin
Tel. +49(0)30 8349059
Fax +49(0)30 8341831
E-Mail: info@fed.de
www.fed.de

Anschrift: Alte Jakobstr. 85/86 | 10179 Berlin